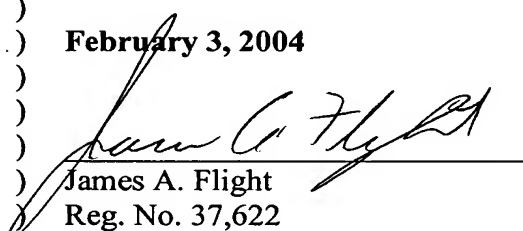




PATENT  
Docket No. 20063/OG03-015

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s): Ik Soo DO	)	I hereby certify that the documents
Serial No.: 10/757,820	)	referred to as enclosed herewith are
Filed: January 15, 2004	)	being deposited with the United States
For: "Semiconductor Devices and	)	Postal Service, first class postage
Methods for Fabrication of the Same"	)	prepaid, in an envelope addressed to
Group Art Unit: Unknown	)	the Commissioner for Patents, P.O.
Examiner: Not Yet Assigned	)	Box 1450, Alexandria, Virginia
	)	22313-1450 on this date:
	)	<b>February 3, 2004</b>
	)	
	)	James A. Flight
	)	Reg. No. 37,622

**TRANSMITTAL OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.  
10-2003-0006336 filed January 30, 2003, the priority of which is claimed under 35  
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.  
Suite 4220  
20 North Wacker Drive  
Chicago, Illinois 60606  
(312) 580-1020

By:

  
James A. Flight  
Registration No.: 37,622

**February 3, 2004**



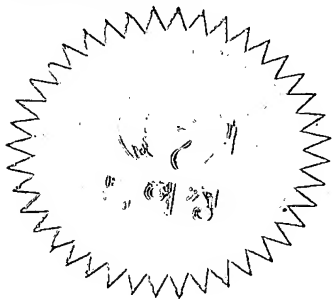
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0006336  
Application Number

출원년월일 : 2003년 01월 30일  
Date of Application JAN 30, 2003

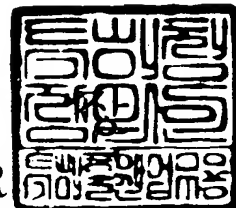
출원인 : 아남반도체 주식회사  
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2004 년 01 월 08 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.01.30		
【국제특허분류】	H01L		
【발명의 명칭】	반도체 소자 및 그의 제조 방법		
【발명의 영문명칭】	Semiconductor device and method for fabrication thereof		
【출원인】			
【명칭】	아남반도체 주식회사		
【출원인코드】	1-1998-002671-9		
【대리인】			
【성명】	서천석		
【대리인코드】	9-2002-000233-5		
【포괄위임등록번호】	2003-002029-1		
【발명자】			
【성명의 국문표기】	도익수		
【성명의 영문표기】	DO, Ik Soo		
【주민등록번호】	630311-1670215		
【우편번호】	420-807		
【주소】	경기도 부천시 원미구 도당동 221		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 서천석 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	2	면	2,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	13	항	525,000 원
【합계】	556,000	원	

**【요약서】****【요약】**

본 발명은 반도체 소자의 제조 방법에 관한 것이며, 보다 자세하게는 트렌치를 이용하여 게이트를 매몰형으로 만들고 소오스/드레인 마스크로 트랜지스터의 전류를 조절함으로써 전류 제어에 민감한 소자를 만드는 반도체 제조 방법에 관한 것이다.

본 발명의 상기 목적은 소정의 기판에 트렌치(11)를 형성하는 제 1공정; 상기 트렌치(11)가 형성된 기판에 산화막(12)과 폴리 실리콘을 증착하고 평탄화하여 게이트 전극(13)을 형성하는 제 2공정; 상기 기판에 게이트 산화막(14)과 폴리 실리콘(15)을 형성하는 제 3공정; 포토공정으로 소오스 및 드레인 영역(17)을 형성하는 제 4공정; 및 상기 소오스 및 드레인 영역(17)이 형성된 기판에 금속 플러그(19)를 형성하는 제 5공정을 포함하는 것을 특징으로 하는 반도체 소자의 제조방법에 의하여 달성된다.

따라서 본 발명의 매몰형 게이트 형성 및 전류제어 조정 소오스/드레인 형성방법은 트렌치를 이용하여 게이트를 매몰형으로 만들므로써 평탄화를 이룰 수 있으며, 게이트와 소오스/드레인 영역의 오버랩을 소오스/드레인 마스크를 사용하여 조정 함으로써 전류를 조절이 용이하여 전류제어에 민감한 소자의 제작에 아주 용이 하고, 매몰형 게이트로 인하여 게이트와 콘택 사이의 공간이 아주 충분하여 공정에 용이한 효과가 있다.

**【대표도】**

도 2f

1020030006336

출력 일자: 2004/1/9

【색인어】

poly-si, overlap, current control

## 【명세서】

## 【발명의 명칭】

반도체 소자 및 그의 제조 방법{Semiconductor device and method for fabrication thereof}

## 【도면의 간단한 설명】

도 1a 내지 도 1d는 종래기술에 의한 반도체 소자의 제조방법을 나타낸 공정단면도.

도 2a 내지 도 2f는 본 발명에 의한 반도체 소자의 제조방법을 나타낸 공정단면도.

## &lt;도면의 주요부분에 대한 부호의 설명&gt;

- |              |              |
|--------------|--------------|
| 11 : 트렌치     | 12 : 산화막     |
| 13 : 게이트 전극  | 14 : 게이트 산화막 |
| 15 : 폴리 실리콘  | 16 : 포토레지스트  |
| 17 : 소오스/드레인 | 18 : 층간절연막   |
| 19 : 콘택플러그   |              |

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 반도체 소자의 제조 방법에 관한 것이며, 보다 자세하게는 트렌치를 이용하여 게이트를 매몰형으로 만들고 소스/드레인 마스크로 트랜지스터의 전류를 조절함으로써 전류 제어에 민감한 소자를 만드는 반도체 제조 방법에 관한 것이다.
- <10> 일반적으로 반도체 소자는 구조적으로 트랜지스터와, 바이폴러 IC, 모스 IC로 구분할 수 있다. 특히, 모스 트랜지스터는 전계 효과 트랜지스터의 일종으로, 반도체 기판에 형성된 소스/드레인 영역과, 이 소스/드레인 영역이 형성된 기판 상에 게이트 산화막과 게이트가 형성된 구조를 가진다. 또한, 소스/드레인 영역의 안쪽에 농도가 얇은 LDD(lightly doped drain) 영역을 둔 구조의 모스 트랜지스터가 주로 사용되고 있다.
- <11> 이러한 모스 트랜지스터는 채널의 종류에 따라 N채널 모스 트랜지스터와 P채널 모스 트랜지스터로 나눌 수 있으며, 각 채널의 모스 트랜지스터가 하나의 기판에 형성되는 경우 이를 상보형 모스 트랜지스터라 한다.
- <12> 그러면, 도 1a 내지 도 1d를 참조하여 종래의 일반적인 반도체 소자를 제조하는 방법을 개략적으로 설명한다.
- <13> 먼저 도 1a에 도시한 바와 같이, 실리콘웨이퍼(1)에 얇은 트렌치(shallow trench isolation, STI)(2)를 형성하여 실리콘웨이퍼(1) 상의 반도체 소자가 형성될 활성 영역을 정의한다. 그리고, 정의된 각 활성 영역의 실리콘웨이퍼(1)에 선택적으로 P형 또는 N형 도펀트(dopant)를 이온 주입하여 P모스가 형성될 영역에 N웰을, N모스가 형성될 영역에 P웰을 각각

형성한다. 이후, 실리콘웨이퍼(1)를 열산화하여 게이트 산화막(3)을 형성하고, 그 상부에 화학 기상 증착으로 폴리 실리콘(4)을 증착한다.

<14> 이때, P모스 영역의 폴리 실리콘에는 P형 도펀트를, N모스 영역의 폴리 실리콘에는 N형 도펀트를 도핑(doping)하여 어닐링(annealing)함으로써 폴리 실리콘의 저항을 줄여준다.

<15> 그리고, 폴리 실리콘(4)과 게이트 산화막(3)을 패터닝(patterning)하여 반도체 소자의 게이트 전극을 형성한 후, 게이트 전극을 마스크로 P모스 영역과 N모스 영역에 선택적으로 저농도의 P형 도펀트와 N형 도펀트를 각각 이온 주입하여 저농도 소스/드레인 영역(5)을 형성한다. 이후, 실리콘웨이퍼(1) 전면에 질화막(6)을 증착한다.

<16> 그 다음 도 1b에 도시한 바와 같이, 실리콘웨이퍼(1) 상부의 질화막(6)을 블랭킷(blanket) 식각하여 제거한다. 그러면, 실리콘웨이퍼(1) 상부 전면에서는 질화막이 제거되지만, 게이트 전극(3, 4) 측벽에서는 제거되지 않고 스페이서(6)를 형성하게 된다. 이후, 게이트 전극(3, 4)과 스페이서(6)를 마스크로 P모스 영역과 N모스 영역에 선택적으로 고농도의 P형 도펀트와 N형 도펀트를 각각 이온 주입하여 고농도 소스/드레인 영역(7)을 형성한다.

<17> 그 다음 도 1c에 도시한 바와 같이, 실리콘웨이퍼(1) 전면에 PMD(pre-metal dielectric) 라이너 산화막(8)을 형성한다. 이때, PMD 라이너 산화막(8)은 후속 공정에서 층간 절연막으로 증착되는 BPSG(borophosphosilicate glass), PSG(phosphosilicate glass)막 등은 수분 함량이 많으므로, 이에 의한 실리콘웨이퍼 및 반도체 소자의 결함 방지 및 알칼리 이온이 실리콘웨이퍼로 확산되는 것을 방지한다.

<18> 이후, 후속 공정에서 반도체 소자의 전극 연결을 위해 형성되는 금속막과 폴리 실리콘(또는 소스/드레인 영역)과의 절연을 위해 BPSG, PSG막 등의 층간 절연막(9)을 증착한 다음, 실



리콘웨이퍼의 양호한 스텝 커버리지(step coverage)를 얻기 위하여 화학 기계적 연마(chemical mechanical polishing, CMP) 공정 등에 의해 절연막(9)을 평탄화한다.

- <19> 그 다음 도 1d에 도시한 바와 같이, 층간 절연막(9) 상부에 반도체 소자의 전극 연결을 위한 콘택이 형성될 영역이 드러나도록 마스크 패턴을 형성한 후, 마스크 패턴을 통해 드러난 층간 절연막(9)을 식각하여 제거하고, 재차 드러난 PMD 라이너 산화막(8)을 식각하여 제거(콘택 식각)함으로써 반도체 소자의 전극 영역(게이트 전극, 소스/드레인 영역)이 드러나도록 콘택 홀을 형성한다.
- <20> 그 다음 층간 절연막(9) 상부에 남아 있는 마스크 패턴을 제거한 후, 실리콘웨이퍼(1) 전면에서 스퍼터링(sputtering) 등에 의해 금속 박막을 증착하여 콘택 홀을 금속 박막으로 매입하고, 절연막 상부의 금속 박막을 패터닝하여 금속 배선층을 형성함으로써 반도체 소자를 완성한다.
- <21> 이와 같은 종래 반도체 소자의 제조 방법에서는 반도체 소자의 미세화에 따라 디자인 룰(design rule)이 미세화됨에 의해 게이트, 소스/드레인 영역에 형성되는 콘택의 형성시 많은 문제점이 발생되고 있다.
- <22> 또한 종래와 같은 통상적인 게이트 구조는 도 1과 같이 평탄화 되지 않은 단점과 미세화에 따른 게이트 접촉의 마진부족으로 인한 게이트와 콘택의 숏트에 의한(Gate to contact short) 불량 발생 우려가 있다. 또한 게이트 CD의 제어를 통한 전류 제어를 하고 있어 미세 게이트 패턴의 형성에 어려움이 있다.
- <23> 미국 특허 제 4,455,740호에는 트렌치 게이트 구조를 형성하는 것으로 트랜지스터의 치수를 축소하고, 소스 및 드레인을 보다 더 밀접하게 하는 것을 제시하고 있다.

- <24> 소오스와 드레인 사이에 트렌치를 형성하고, 그 트렌치 내에 게이트를 설치한 탑 드레인 트렌치형 RESURF DMOS 트랜지스터가 일본 공개특허공보 평성6-97450호에 기재되어 있다.
- <25> 트렌치 내부를 게이트 폴리실리콘으로 메운 트렌치 게이트 구조에 관한 보고가 ISPSD 2000, 47P~50P에 기재되어 있다.
- <26> 기판에 드레인, 소오스 및 트렌치를 형성하고 상기 소오스와 트렌치 사이의 채널을 형성하는 공간 상의 표면에 게이트를 형성한 가로방향 전력용 트랜지스터가 일본 공개특허공보 평성7-74352호에 기재되어 있다.
- <27> 트렌치 DMOS 트랜지스터의 구조 및 작동은 Bulucea 및 Rossen, "고전류 스위치용 트렌치 DMOS 트랜지스터 테크놀로지"의 고체상 전극(1991. Vol. 34, No.5, PP493-507)에서 논의되었다.
- <28> 미국 특허 제 5,378,655호에는 트렌치 게이트 전력 장치를 제조하는데 있어서, 직립 게이트 구조에 구조에 관하여 기재되어 있다.
- <29> 상기와 같은 선행 기술들은 게이트가 트렌치에 매립되어 있는 기술들이나 트렌치의 양측에 소오스/드레인 전극이 전극이 있고, 전류의 제어를 게이트 CD를 통하여 하고 있어서 게이트 패턴의 생성에 어려움이 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <30> 따라서 본 발명은 상기와 같은 종래기술의 제반 단점과 문제점을 해결하기 위한 것으로, 트렌치(Trench)를 이용하여 게이트를 매몰형으로 만듦으로써 평탄화를 이룰 수 있으며, 소스/드레인 마스크(S/D Mask)로 전류를 제어함으로써 전류제어(current control)에 민감한 소자의

제작에 아주 용이 하고, 매몰형 게이트로 인하여 게이트와 콘택 사이의 공간이 아주 충분하여 반도체 공정에 용이한 반도체 소자를 제공함에 본 발명의 목적이 있다.

### 【발명의 구성 및 작용】

- <31> 본 발명의 상기 목적은 소정의 기판(10)에 트렌치(11)를 형성하는 제 1공정; 상기 트렌치(11)가 형성된 기판에 산화막(12)과 폴리 실리콘을 증착하고 평탄화하여 게이트 전극(13)을 형성하는 제 2공정; 상기 기판에 게이트 산화막(14)과 폴리 실리콘(15)을 형성하는 제 3공정; 포토공정으로 소오스 및 드레인 영역(17)을 형성하는 제 4공정; 및 상기 소오스 및 드레인 영역(17)이 형성된 기판에 금속 플러그(19)를 형성하는 제 5공정을 포함하는 것을 특징으로 하는 반도체 소자의 제조방법에 의하여 달성된다.
- <32> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.
- <33> 도 2a 내지 도 2g는 본 발명에 따른 반도체 소자의 제조방법을 나타낸 공정단면도이다.
- <34> 도 2a는 실리콘 기판(10)상에 트렌치(11)를 형성한 단면이다.
- <35> 실리콘 웨이퍼(10)를 세척한후 상기 실리콘 웨이퍼(10) 일 면에 포토레지스트 패턴을 형성하고, 상기 실리콘 웨이퍼 내에 트렌치(11)를 형성한다. 다음, 상기 포토레지스트 패턴을 제거한다.
- <36> 실리콘 기판의 일 면에 식각마스크로 사용될 포토레지스트를 도포하여 포토레지스트층을 형성하고, 트렌치영역을 노출시키도록 패터닝하여 포토레지스트 패턴을 형성한다. 다음, 상기

포토리지스트 패턴을 식각마스크로 사용하고 상기 기판을 소정깊이 식각함으로써 상기 기판 내에 트렌치(11)를 형성한다.

- <37>       상기 트렌치(11)는 예컨대, 염소( $\text{Cl}_2$ )와 브롬화수소( $\text{HBr}$ )를 식각가스로 사용하는 이방성 식각에 의해 형성된다.
- <38>       실리콘 기판 상에 형성된 상기 포토리지스트 패턴을 포토리지스트 에칭(ashing)과 같은 통상의 방법으로 제거한다.
- <39>       도 2b는 트렌치(11)를 구비한 실리콘 웨이퍼(10) 위에 산화막(12)을 증착한 단면이다.
- <40>       상기 산화막으로는 TEOS(Tetra-Ethyle Ortho Silicate Glass)를 기본으로 한 USG(Undoped Silicate Glass)막이나, 고밀도 플라즈마 화학기상증착법(High Density Plasma Chemical Vapor Deposition : HDP CVD)을 이용하여 형성된 산화막, 또는 고온으로 형성된 USG 막이 사용될 수 있다.
- <41>       상기 산화막은, 트렌치 형성을 위한 이방성 식각에서 발생하는 실리콘 기판의 결함을 제거하고, 실리콘 표면을 안정된 결합( $\text{Si-O}_2$  결합) 상태로 유지하여 트렌치 표면을 통한 누설전류를 방지하며, 트렌치 바닥면의 코너부를 라운드지게하여 스트레스 집중을 방지하는 역할을 한다.
- <42>       도 2c는 트렌치(11)내에 게이트 전극(13)이 형성된 단면이다.
- <43>       상기 산화막(12)이 형성된 실리콘 기판상에  $\text{Si}_2\text{H}_6$  가스를 사용하여 약  $470^\circ\text{C}$  정도에서 폴리 실리콘을 저압 화학기상증착(low pressure chemical vapor deposition : LPCVD) 방법으로 증착한다.
- <44>       저온에서 폴리 실리콘을 증착하여야 저전류 소자를 만들수 있다.

- <45>      상기 폴리 실리콘 증착하는 또 다른 방법으로 플라즈마 화학기상증착 방법을 이용할 수 있다.
- <46>      상기 트렌치(11) 내의 산화막(12)위에 게이트 물질을 상기 트렌치(11)가 충분히 덮을 수 있을 정도의 두께로 증착한다. 이때, 상기 트렌치 게이트 전극 물질로서, 불순물이 도핑된 폴리 실리콘(doped poly silicon), 실리사이드(silicide), 또는 금속(metal) 전극 물질을 사용할 수 있다.
- <47>      상기 폴리 실리콘이 형성되면 상기 결과물에 대해 상기 실리콘 기판(10)의 표면이 노출 될때까지 화학 기계 연마(Chemical Mechanical Polishing : CMP) 공정을 수행한다.
- <48>      상기와 같은 방법으로 게이트를 매몰형으로 만듦으로써 게이트를 평탄화 시키기에 용이 하다.
- <49>      도 2d는 게이트 산화막이 증착된 단면이다.
- <50>      게이트 전극(13)이 형성된 기판에 게이트 산화막(14)을 형성하기 위하여 저압 화학기상 증착 방법 이나 플라즈마 화학기상증착 방법으로 대략 500~1000Å 정도의 두께를 갖는 게이트 산화막을 증착한다.
- <51>      도 2e는 S/D 형성 및 배선하는 단계를 나타낸 도면이다.
- <52>      상기 게이트 산화막(14) 위에 저압 화학기상증착 방법으로 폴리 실리콘(15)을 증착한 다음, 소오스 영역 및 드레인 영역형성을 위해 포토공정을 실시하여 이온주입 마스크로서 역할하는 포토레지스트 패턴(16)을 형성하고 불순물을 이온주입하고 상기 포토레지스트 패턴을 제거 한다.

- <53>      상기 폴리 실리콘(15)은  $\text{Si}_2\text{H}_6$  가스를 사용하여 약  $470^\circ\text{C}$  정도에서 저압 화학기상증착 (low pressure chemical vapor deposition : LPCVD) 방법으로 증착한다.
- <54>      도 2f는 소오스 및 드레인(17)이 형성된 반도체 기판의 단면도이다.
- <55>      게이트 및 소오스/드레인 영역을 소오스/드레인 마스크를 이용하여 오버랩을 조정하므  
로써 전류를 조절하여 전류제어에 민감한 소자를 제작할 수 있다.
- <56>      도 2g는 콘택플러그(19)가 완성된 단면이다.
- <57>      소오스 및 드레인(17)이 형성된 기판에 층간절연막(18)을 형성하고 포토공정으로 콘택영  
역을 형성하고 금속층을 증착하고 평탄화하므로써 콘택플러그(19)가 형성된다.
- <58>      상기 층간절연막(18)은 저압 화학적 기상증착법에 의하여 증착한다.
- <59>      이때 상기 층간절연막(18)으로는 주로 TEOS산화막과 BPSG(boro phospho silicate glass)  
막이 사용된다.
- <60>      이어서, 포토공정으로 소오스 및 드레인 영역이 노출되도록 상기 층간절연막(18)을 식각  
하여 콘택홀을 형성한다.
- <61>      후에 금속층을 증착하고 평탄화하여 콘택플러그(19)를 형성한다.
- <62>      상기와 같은 공정으로 반도체 소자를 제조할 경우, 실리콘 기판(10)의 소정 부위에 형성  
된 트렌치(11), 상기 트렌치(11)의 내부에 매립된 게이트 전극(13), 상기와 같이 이루어진 반  
도체 구조물 상에 형성된 게이트 산화막(14), 상기 게이트 산화막(14)의 상부에 마련되어 있는  
폴리 실리콘(15), 상기 폴리 실리콘(15)의 소정 부분 불순물로 도핑된 소오스/드레인 영역  
(17), 상기와 같이 이루어진 반도체 구조물 상부에 마련되어 있는 층간 절연막(18) 및 상기 층

간 절연막 내에 형성되고, 상기 소오스/드레인 영역의 소정 부분과 접촉하는 콘택 플러그(19)를 포함하여 구성되는 반도체 소자가 제조된다.

<63>       이상에서 본 발명에 대한 기술사상을 첨부도면과 함께 서술하였지만 이는 본 발명의 가장 양호한 실시예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한, 이 기술분야의 통상의 지식을 가진 자이면 누구나 본 발명의 기술사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

#### 【발명의 효과】

<64>       따라서 본 발명의 매몰형 게이트 형성 및 전류제어 조정 소오스/드레인 형성방법은 트렌치를 이용하여 게이트를 매몰형으로 만들므로써 평탄화를 이룰 수 있으며, 게이트와 소오스/드레인 영역의 오버랩을 소오스/드레인 마스크를 사용하여 조정 함으로써 전류를 조절이 용이하여 전류제어에 민감한 소자의 제작에 아주 용이 하고, 매몰형 게이트로 인하여 게이트와 콘택 사이의 공간이 아주 충분하여 공정에 용이한 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 소자의 제조 방법에 있어서,

소정의 기판에 트렌치(11)를 형성하는 제 1공정;

상기 트렌치(11)가 형성된 기판에 산화막(12)과 폴리 실리콘을 형성하고 평탄화하여 게이트 전극(13)을 형성하는 제 2공정;

상기 기판에 게이트 산화막(14)과 폴리 실리콘(15)을 형성하는 제 3공정;

포토공정으로 소오스 및 드레인 영역(17)을 형성하는 제 4공정; 및

상기 소오스 및 드레인 영역(17)이 형성된 기판에 콘택플러그(19)를 형성하는 제 5공정을 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 2】**

제 1항에 있어서,

상기 트렌치(11)의 형성은 염소( $\text{Cl}_2$ )와 브롬화수소( $\text{HBr}$ )를 식각가스로 사용하는 이방성 식각에 의해 형성된 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 3】**

제 1항에 있어서,



제 2공정에서 상기 폴리 실리콘은 저압 화학기상증착법으로 형성된 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 4】

제 3항에 있어서,

상기 폴리 실리콘은 470℃의 온도에서  $\text{Si}_2\text{H}_6$ 가스를 사용하는 저압 화학기상증착법으로 형성된 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 5】

제 1항에 있어서,

제 2공정의 평탄화 하는 방법은 상기 실리콘 기판의 표면이 노출될 때까지 화학 기계 연마 공정을 수행하는 것임을 특징으로 하는 반도체 소자의 제조방법.

【청구항 6】

제 1항에 있어서,

제 3공정에서 상기 폴리 실리콘은 저압 화학기상증착법으로 형성된 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 7】

제 6항에 있어서,

상기 폴리 실리콘은 470℃의 온도에서  $\text{Si}_2\text{H}_6$ 가스를 사용하는 저압 화학기상증착법으로 형성된 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 8】

제 1항에 있어서,

제 4공정의 상기 소오스 및 드레인 영역(17)의 형성시 포토레지스트 패턴의 간격을 이용하여 소오스와 드레인 사이의 간격을 조정함으로써 전류의 조절이 가능한 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 9】

실리콘 기판(10)의 소정 부위에 형성된 트렌치(11);

상기 트렌치(11)의 내벽에 형성된 산화막(12);

상기 산화막(12)의 내부에 매립된 게이트 전극(13);

상기와 같이 이루어진 반도체 구조물 상에 형성된 게이트 산화막(14);

상기 게이트 산화막(14)의 상부에 마련되어 있는 폴리 실리콘(15);

상기 폴리 실리콘(15)의 소정 부분이 불순물로 도핑된 소오스/드레인 영역(17);

상기와 같이 이루어진 반도체 구조물 상부에 마련되어 있는 층간 절연막(18); 및

상기 층간 절연막(18) 내에 형성되고, 상기 소오스/드레인 영역(17)의 소정 부분과 접촉하는 콘택 플러그(19)를 포함하는 것을 특징으로 하는 반도체 소자.

**【청구항 10】**

제 9항에 있어서,

상기 트렌치(11)는 염소( $\text{Cl}_2$ )와 브롬화수소( $\text{HBr}$ )를 식각가스로 사용하는 이방성 식각에 의해 형성된 것임을 특징으로 하는 반도체 소자.

**【청구항 11】**

제 1항에 있어서,

상기 산화막(12)은 TEOS를 기본으로 한 USG막임을 특징으로 하는 반도체 소자.

**【청구항 12】**

제 1항에 있어서,

상기 산화막(12)은 고밀도 플라즈마 화학기상증착법을 이용하여 형성된 산화막임을 특징으로 하는 반도체 소자.

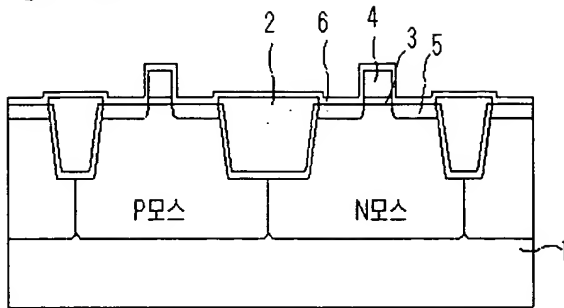
**【청구항 13】**

제 1항에 있어서,

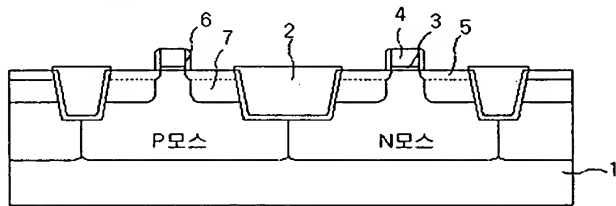
상기 산화막(12)은 고온으로 형성된 USG막임을 특징으로 하는 반도체 소자.

【도면】

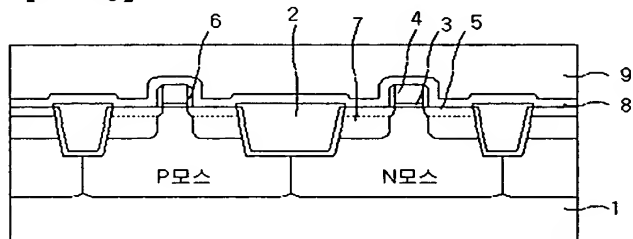
【도 1a】



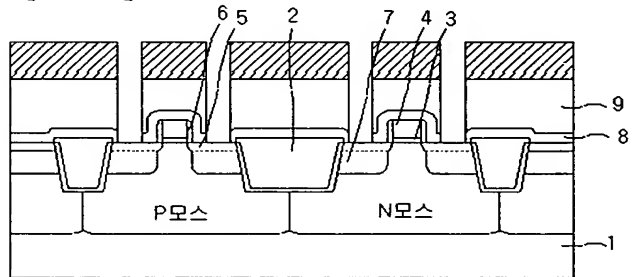
【도 1b】



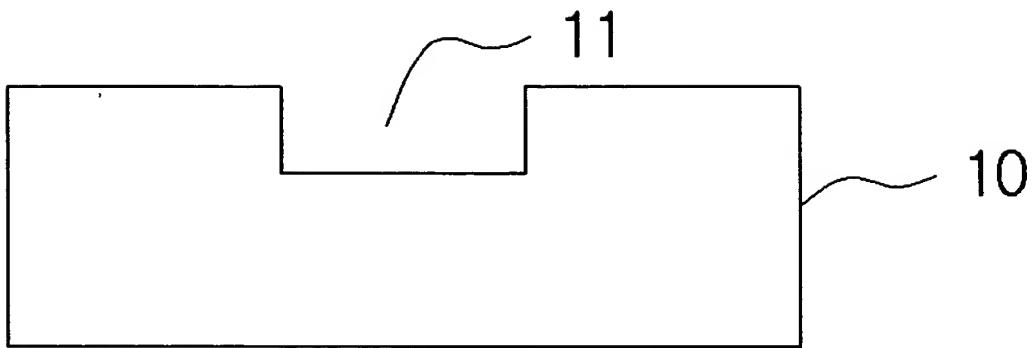
【도 1c】



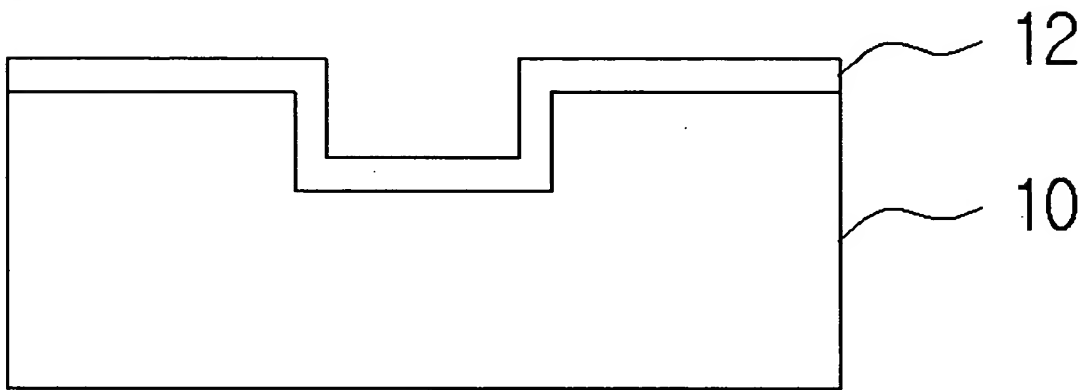
【도 1d】



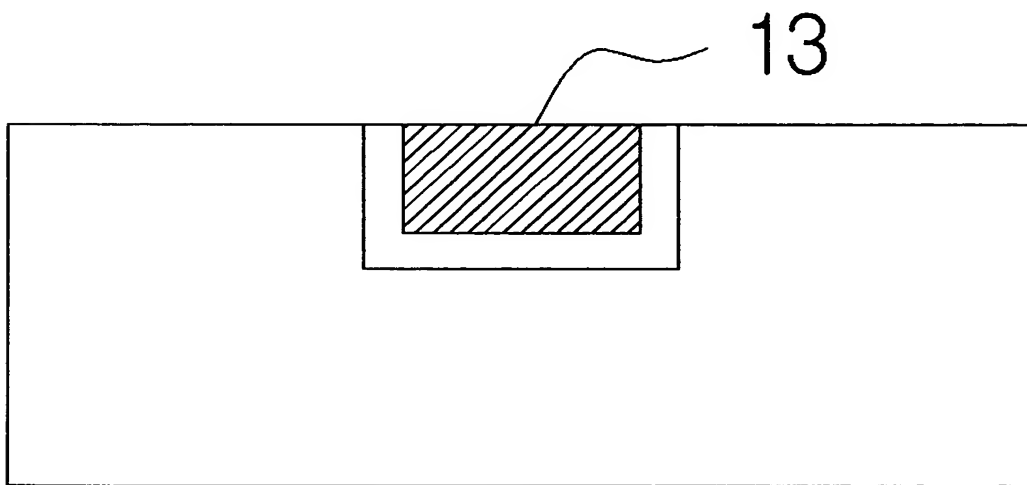
【도 2a】



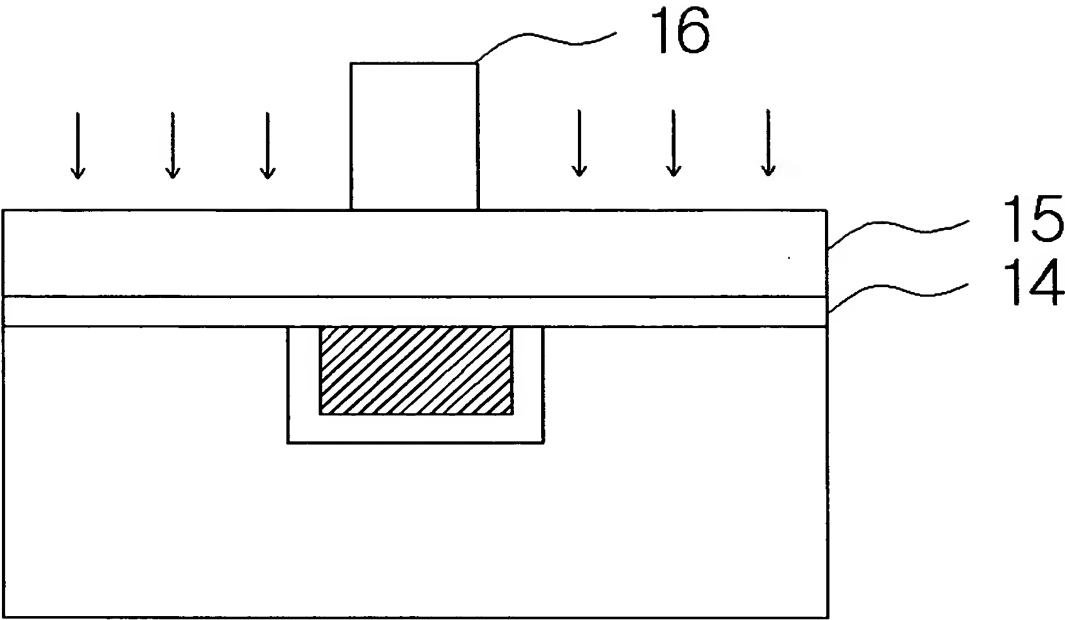
【도 2b】



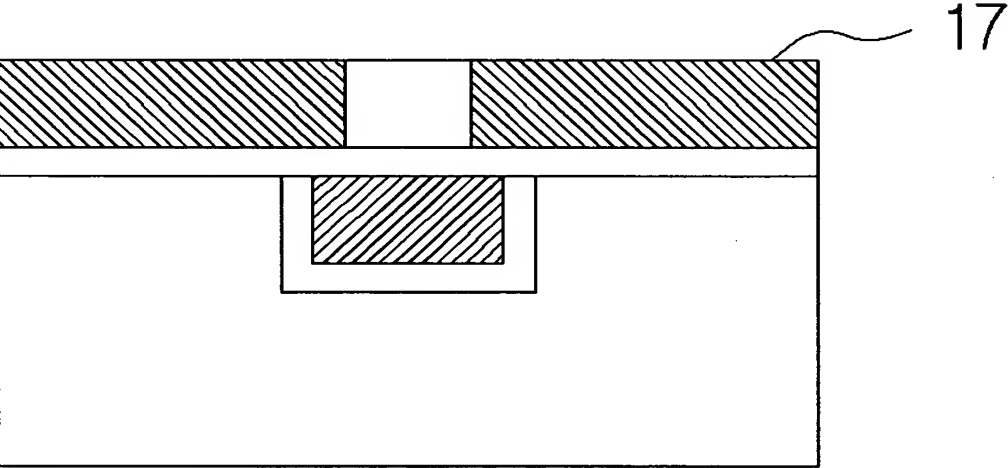
【도 2c】



【도 2d】



【도 2e】



【도 2f】

